

## ⑫ 公開特許公報 (A)

平3-295131

⑩Int.Cl.<sup>5</sup>H 01 J 1/30  
9/02

識別記号

府内整理番号

B 9058-5E  
B 6722-5C

⑩公開 平成3年(1991)12月26日

審査請求 未請求 請求項の数 3 (全6頁)

⑩発明の名称 電界放出素子およびその製造方法

⑪特 願 平2-96004

⑪出 願 平2(1990)4月11日

⑩発明者 小松 博志 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑩出願人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑩代理人 弁理士 鈴木 喜三郎 外1名

## 明細書

## 子の製造方法。

## 1. 発明の名称

電界放出素子およびその製造方法

## 2. 特許請求の範囲

(1) 絶縁性の平面基板と、該平面基板表面に形成された台座および該台座の表面に形成された電子放出突起をもつカソード電極と、前記平面基板表面に前記カソード電極に対向して形成されたアノード電極と、前記平面基板表面に形成され前記電子放出突起部において前記カソード電極に自己整合的に形成されたゲート電極を少なくも具備することを特徴とする電界放出素子。

(2) 絶縁性の平面基板表面に絶縁性薄膜を形成する工程と、前記絶縁性薄膜を逆テープ状にエッティング加工し台座を形成する工程と、前記平面基板表面に方向性粒子ビーム法により導電性薄膜を形成する工程と、前記導電性薄膜をエッティング加工する工程を含むことを特徴とする電界放出素子。

## 3. 発明の詳細な説明

## [産業上の利用分野]

本発明は発光型表示装置、プリンタヘッド、多極電子装置などに利用される電子源のうち、電界効果による電子放出が可能な電界放出素子およびその製造方法に関する。

## [従来の技術]

従来の電界放出素子は、スピント (C. A. S p i n d t) らがジャーナル・オブ・アプライド・フィジックス (J. A. P.)、v o l. 4 7, N o. 1 2 (1976) に発表したものが知られている。これはシリコン基板表面に絶縁性薄膜と引出し電極用の金属薄膜を積層し、金属薄膜およ

び絶縁性薄膜を開口したのち、この開口をマスクとしてシリコン基板上にモリブデンなどの金属をスパッタ法などにより堆積させる自己整合化技術によって、電子を電界放出する尖頭電極を形成する電界放出素子である。

## 【発明が解決しようとする課題】

しかし前述した従来技術による電界放出素子は、以下に述べるいくつかの問題点をもつ。すなわち、  
 ① 特に大きな平面基板上に一面にわたって尖頭電極を形成する場合、スパッタあるいは蒸着などの方法では線源からみた基板に仰角が生じ、基板の中心付近と周辺付近で尖頭電極の軸の基板面に対する角度が異なり、この結果電子放出の電圧あるいは電流密度に分布が生じてしまう。  
 ② 金属薄膜の開口のためのエッチングにおいて開口径にはらつきが生じ、この結果、尖頭電極と引出し電極の間隔がばらつき、放出電界のしきい値がばらついてしまう。

などの問題点があった。

粒子ビーム法により導電性薄膜を形成する工程と、前記導電性薄膜をエッチング加工する工程を含むことを特徴とする。

また、前記方向性粒子ビーム法によって導電性薄膜を形成した後、前記絶縁性薄膜の壁面をエッチング加工することを特徴とする。

## 【実施例】

本発明の電界放出素子およびその製造方法を実施例に従いさらに詳述する。

## &lt;実施例1&gt;

第1図(a)および(b)は、本発明の第1の実施例を説明するためのもので、電界放出素子の概略平面図およびA-A'線に沿った概略断面図をそれぞれ示す。この電界放出素子は、絶縁性の石英製の平面基板1と、その表面に形成された絶縁性薄膜である厚さ5000Åの二酸化シリコン(SiO<sub>2</sub>)薄膜より成る台座2と、台座2の表面に形成された導電性薄膜である厚さ2000Å

そこで本発明は上述した従来技術の問題点を克服するためのもので、その目的とするところは、大面積基板上に均一で歩留まり高く形成でき、放出電極と引出し電極をサブミクロンの距離で正確に制御できる電界放出素子およびその製造方法を提供するところにある。

## 【課題を解決するための手段】

本発明の電界放出素子は、絶縁性の平面基板と、該平面基板表面に形成された台座および該台座の表面に形成された電子放出突起をもつカソード電極と、前記平面基板表面に前記カソード電極に対向して形成されたアノード電極と、前記平面基板表面に形成され前記電子放出突起部において前記カソード電極に自己整合的に形成されたゲート電極を少なくも具備することを特徴とする。

本発明の電界放出素子の製造方法は、絶縁性の平面基板表面に絶縁性薄膜を形成する工程と、前記絶縁性薄膜を逆テーパ状にエッチング加工し台座を形成する工程と、前記平面基板表面に方向性

のアルミニウム薄膜より成るカソード電極3と、前記SiO<sub>2</sub>薄膜より成る台座2' と、前記アルミニウム薄膜より成るアノード電極5と、前記平面基板1の表面に形成された前記アルミニウム薄膜3より成るゲート電極4より構成される。

カソード電極3は電子放出源、ゲート電極6は放出電子量の制御、アノード電極5は放出電子の加速および収集の役割を担う。

カソード電極3はアノード電極5に対向した電子放出突起4をもつ。台座2の壁面は、特に電子放出突起4部分において、逆テーパ形状を有しているのが特徴である。ゲート電極6は電子放出突起4の付近で電子放出突起4と同様の形状の切れ込みをもつ。電子放出突起4の先端とゲート電極6との距離は3000Å、電子放出突起4の先端とアノード電極5との距離は約10μm、ゲート電極6とアノード電極5との距離は約5μmである。

電界放出素子においては、カソード電極3とゲート電極6の距離d<sub>gk</sub>が電子放出のしきい値電圧

を左右する重要なパラメータである。本発明の電界放出素子は、後述するように、カソード電極3の電子放出突起4においてゲート電極6がカソード電極3に自己整合的に形成されるため、 $d_{gk}$ の横方向成分は再現性よく決定される。また $d_{gk}$ の厚み方向成分は台座2を構成する絶縁性薄膜の膜厚とゲート電極6の膜厚によって決定される。これらのことから $d_{gk}$ が再現性よく得られるためには台座2とゲート電極6の膜厚を均一に制御すればよいことになる。

第2図(a)～(e)は、前述した電界放出素子の製造工程を説明するもので、重要な製造工程終了後の電界放出素子の概略断面図を示している。

電界放出素子の製造工程を説明する。まず直径3インチ、厚さ $500\mu\text{m}$ の石英製平面基板1の表面に、高周波スパッタ法によって厚さ $5000\text{~A}$ の $\text{SiO}_2$ 薄膜7を堆積する(第2図(a))。このとき、例えば平面基板1温度を低くするなど、平面基板1と $\text{SiO}_2$ 薄膜7の密着性が低い条件下 $\text{SiO}_2$ 薄膜7を堆積させることが重要である。

に、スパッタ法やECR-CVD法などがある。

最後に、フォトプロセスによってアルミニウム薄膜9をカソード電極3、ゲート電極6およびアノード電極5の形状にそれぞれエッティング加工する(同図(e))。このとき電子放出突起4の周辺をレジストで覆い、その先端がエッティング工程で腐食されないように保護することが重要である。電子放出突起4の付近においては、前述の方向性粒子ビーム法の効果によって、カソード電極3とゲート電極6が自己整合的に形成されている。

第3図(a)～(c)は第2図(b)～(d)に示した電界放出素子の概略断面図に対応する概略平面図をそれぞれ示している。一般的にフォトプロセスによってレジストをパターン化したとき、特に鋭角のパターンでは頂点において丸みを生じやすい。この丸みを持つレジストパターンをマスクとして薄膜のエッティングを行なうと、エッティング後の薄膜の形状はやはり丸みを帯びる。しかし発明者の研究の結果、逆テーパ形状のオーバエッティングを行なうと、レジストパターンに丸みが存在

つぎにフォトプロセスによって、 $\text{SiO}_2$ 薄膜7の表面に台座形状のレジストパターン8を形成する(同図(b))。このとき、例えばレジストのポストベークの温度をなるべく高くするなど、 $\text{SiO}_2$ 薄膜7とレジストの密着性が良い条件でレジストパターン8を形成することが重要である。

つぎにフッ酸系のエッティング液でレジストパターン8をマスクとして、開口部の $\text{SiO}_2$ 薄膜7を逆テーパ形状にエッティングする(同図(c))。このとき、使用するエッティング液は、 $\text{SiO}_2$ 薄膜7のエッティングレートに対する平面基板1のエッティングレートの割合が小さいものが望ましい。

つぎに、レジストを除去した後、真空蒸着法によってアルミニウム薄膜9を平面基板1の全面に堆積する(同図(d))。真空蒸着法は蒸着源から蒸着対象物の方向へ蒸着粒子を飛ばす方向性粒子ビーム法であり、同図(d)で示したような逆テーパ形状部分では堆積物が分断される、いわゆる段差切れを発生させる薄膜形成法である。このような方向性粒子ビーム法には、真空蒸着法の他

してもエッティング後の薄膜の頂角は鋭角になることが判明した。これを第3図を用いて説明する。カソード電極の台座は電子放出突起を鋭角にするため、電子放出突起部において90度前後の鋭角パターンをもつが、実際に形成されるレジストパターン8では鋭角パターン8'に半径 $0.5\mu\text{m}$ 程度の丸みを生じる(同図(b))。しかし、このような丸みが鋭角パターン8'に存在しても、 $\text{SiO}_2$ 薄膜7が逆テーパ形状になるようにエッティングしていくと、台座2の鋭角パターンの頂点4'は鋭角となった(同図(c))。レジスト剥離後(同図(d))の鋭角パターンを走査型電子顕微鏡で観察したところ、頂点4'の丸み半径は約 $0.07\mu\text{m}$ であった。したがって本発明の電界放出素子の製造方法は、鋭角の電子放出突起を形成できるという効果を有するものである。

本実施例において作製された電界放出素子を $1 \times 10^{-7}\text{ Torr}$ 程度の真空中で動作させたところ、アノード電圧 $100\text{ V}$ のとき、ゲート電圧が $30\text{ V}$ においてアノード電流 $50\mu\text{A}$ が得られた。

相互コンダクタンスは約  $4.0 \mu S$  であった。また、3インチ基板上でのアノード電流のはらつきは30%以下であった。

なおカソード電極3の表面、特に電子放出突起部分にBaOのような仕事関数の小さな誘電体薄膜を形成すると、グリッド電圧をより低下させ、相互コンダクタンスをより高めることが可能となる。

#### < 実施例 2 >

第4図は本発明の第2の実施例を説明するためのもので、カソード電極形成後に絶縁性薄膜をエッティング加工した電界放出素子の概略断面図を示している。

それぞれの部位の名称および製造方法は、実施例1で説明した電界放出素子のものと同様である。相違点は導電性薄膜にタンタル薄膜を用いた点と、カソード電極3の形成後に台座2の壁面を少しエッティングし、電子放出突起4の裏面をむき出しにした点である。台座の材質がSiO<sub>2</sub>であるため、

本発明の電界放出素子およびその製造方法はつぎに列記する発明の効果を有する。

①カソード電極とゲート電極の距離が薄膜の膜厚によってよく制御されるため、大面積にわたって電気特性の均一性と再現性がよい。

②また、カソード電極とゲート電極の距離を短くできるため、ゲート閾値電圧の低電圧化が可能である。

③電子放出突起の先端をテーパエッティングの条件によってより鋭角にできるため、ゲート閾値電圧の低電圧化が可能である。

④アノード耐圧や增幅効率を向上できる構造である。

#### 4. 図面の簡単な説明

第1図(a)および(b)は、本発明の第1の実施例を説明するためのもので、電界放出素子の概略平面図およびA-A'線に沿った概略断面図をそれぞれ示す。

第2図(a)～(e)は、前述した電界放出素

このエッティング液に不溶の導電性薄膜を選択するとタンタルやクロム、白金などになる。

このような構造の電界放出素子は、カソード電極3の電子放出突起4付近にゲート電極6の電界が効率的に印加され、より低い電子放出の閾値電圧を有する。実施例1と同様の素子サイズで電界放出素子を作製したとき、ゲート閾値電圧は20%低下した。

#### < 実施例 3 >

第5図は本発明の第3の実施例を説明するためのもので、電界放出素子アレイの平面概略図を示している。複数個の電子放出突起4を並列のカソード電極3'に形成したものの、ゲート電極6は各電子放出突起4に自己整合的に形成されている。

このように電子放出突起をアレイ状に複数個設けることにより、同一電圧でより多くの電流を引き出すことが可能である。

#### [発明の効果]

子の製造工程を説明するもので、重要な製造工程終了後の電界放出素子の概略断面図を示している。

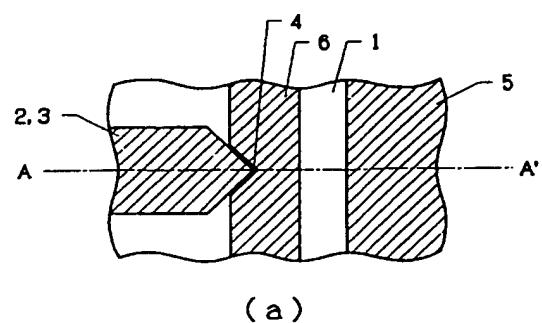
第3図(a)～(c)は第2図(b)～(d)に示した電界放出素子の概略断面図に対応する概略平面図をそれぞれ示している。

第4図は本発明の第2の実施例を説明するためのもので、カソード電極形成後に絶縁性薄膜をエッティング加工した電界放出素子の概略断面図を示している。

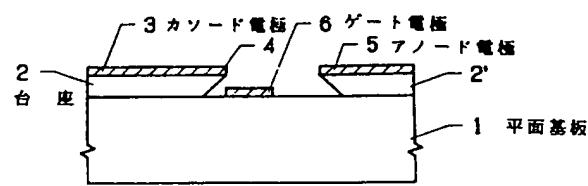
第5図は本発明の第3の実施例を説明するためのもので、電界放出素子アレイの平面概略図を示している。

- 1 . . . 平面基板
- 2 . . . 台座
- 3 . . . カソード電極
- 4 . . . 電子放出突起
- 5 . . . アノード電極
- 6 . . . ゲート電極

以上

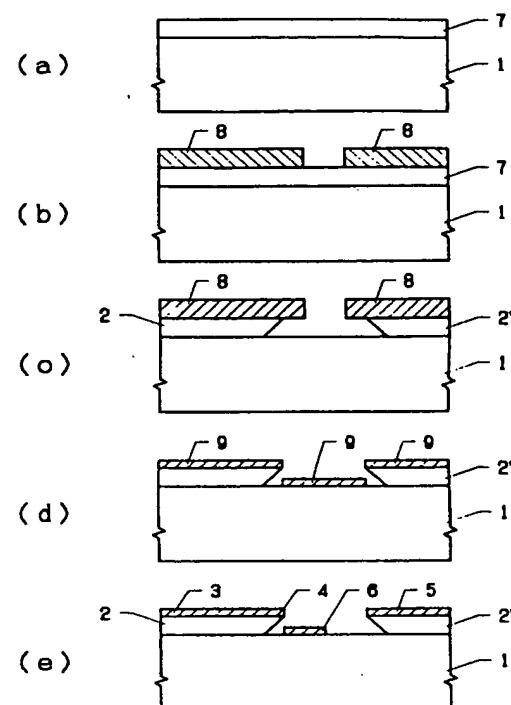


(a)

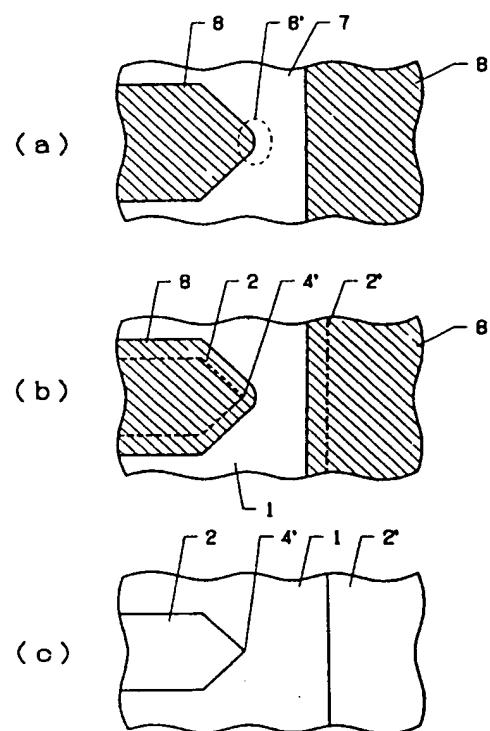


(b)

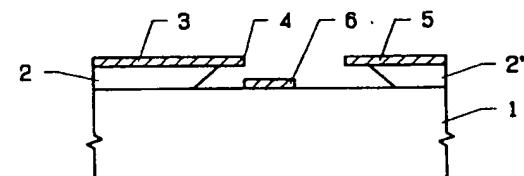
第1図



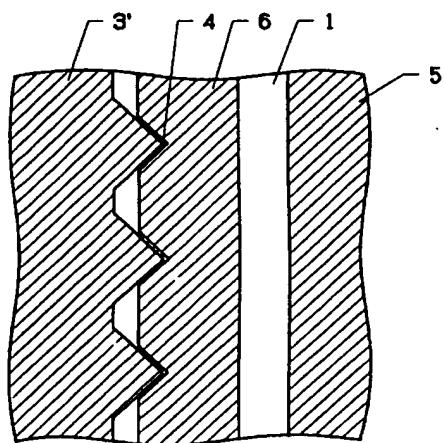
第2図



第3図



第4図



第5図